

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

J1000 U.S. PTO
10/05/02
01/14/02


별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2001년 제 2951 호
Application Number

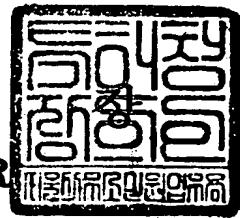
출원년월일 : 2001년 01월 18일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001 년 02 월 08 일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.01.18
【발명의 명칭】	반도체 메모리 소자의 패드배열구조 및 그의 구동방법
【발명의 영문명칭】	Pad Arrangement in Semiconductor Memory Device AND Method for driving the Semiconductor Device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	안미현
【성명의 영문표기】	AWN, MEE HYUN
【주민등록번호】	750406-2273610
【우편번호】	151-056
【주소】	서울특별시 관악구 봉천6동 1690-66 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, JUNG BAE
【주민등록번호】	670227-1046533
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명주공아파트 407-1001
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박상수 (인)

1020010002951

2001/2/1

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】	490,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 콘트롤패드와 입출력패드를 분산배치하여 데이터 패스를 감소시킬 수 있는 반도체 메모리소자의 패드 배열구조 및 그의 구동방법에 관한 것이다.

본 발명은 메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서, 각 메모리뱅크는 메모리뱅크의 수에 대응하여 다수의 뱅크영역으로 분할되고, 다수의 뱅크영역에는 다수의 메모리뱅크에 해당하는 데이터가 각각 리드/라이트되며, 상기 다수의 콘트롤패드는 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되도록 하고, 상기 다수의 입출력패드는 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배열되며, 상기 다수의 메모리뱅크에 공유되도록 한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

반도체 메모리 소자의 패드배열구조 및 그의 구동방법{Pad Arrangement in Semiconductor Memory Device AND Method for driving the Semiconductor Device}

【도면의 간단한 설명】

도 1은 종래의 반도체 메모리소자에 있어서, 콘트롤패드 및 I/O 패드의 배열구조를 도시한 도면,

도 2는 본 발명의 실시예에 따른 반도체 메모리소자에 있어서, 콘트롤패드 및 I/O 패드의 배열구조를 도시한 도면,

도면의 주요부분에 대한 부호의 설명

20 : 메모리칩

BA21-BA22 : 메모리뱅크

B11-B14, B21-B24, B31-B34, B41-B44 : 뱅크영역

IOPAD11-IOPAD14, IOPAD21-IOPAD24: 입출력패드

IOPAD31-IOPAD34, IOPAD41-IOPAD44 : 입출력패드

CPAD2 : 콘트롤패드

CE2 : 메모리셀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 콘트롤패드 및 I/O 패드를 구비한 반도체 메모리소자에 관한 것으로서, 보다 구체적으로는 셀어레이내의 데이터를 리드/라이트하기 위한 데이터패스를 감소시킬

수 있는 콘트롤패드 및 I/O 패드의 배열구조 및 반도체 메모리장치의 구동방법에 관한 것이다.

<10> 반도체 메모리장치에 있어서, 메모리셀의 데이터를 리드/라이트(read/write)하기 위한 데이터패스(data path)는 칩의 콘트롤패드에서 메모리셀을 지나 I/O 패드에 이르는 경로를 말한다. 이러한 데이터패스는 칩패드가 배치되는 위치에 따라서 그의 길이가 결정된다.

<11> 도 1은 종래의 반도체 메모리소자에 있어서, 콘트롤패드와 입출력패드의 배열구조를 도시한 것이다.

<12> 도 1을 참조하면, 종래의 반도체 메모리소자는, 메모리칩(10)의 중앙부분의 셀영역에는 다수의 메모리셀을 구비한 다수의 메모리뱅크(BA11-BA14)가 배열되고, 다수의 콘트롤패드(CPAD1)와 다수의 입출력패드(IOPAD1)는 메모리칩(10)중 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열된 구조를 갖는다.

<13> 종래의 반도체 메모리장치는 각 메모리뱅크(B11-B14)가 각각 해당하는 하나의 메모리뱅크의 데이터만을 리드/라이트하도록 구성되어, 제1메모리뱅크(B11)에는 제1메모리뱅크에 해당하는 데이터만을 리드/라이트하고, 제2메모리뱅크(B12)에는 제2메모리뱅크에 해당하는 데이터만을 리드/라이트하며, 제3메모리뱅크(B13)에는 제3메모리뱅크에 해당하는 데이터만을 리드/라이트하고, 제4메모리뱅크(B14)에는 제4메모리뱅크에 해당하는 데이터만을 리드/라이트하였다.

<14> 따라서, 종래의 반도체 메모리장치는 각 메모리뱅크(B11-B14)가 다수의 콘트롤패드(CPAD)와 다수의 입출력패드(IOPAD)를 공유하여 각 메모리뱅크(B11-B14)의

해당하는 뱅크 데이터를 모든 콘트롤패드(CPAD)와 모든 입출력패드(IOPAD)를 통해 리드/라이트하도록 구성되어 데이터 패스의 길이가 길어지는 문제점이 있었다.

<15> 상기한 바와같은 콘트롤패드(CPAD1)와 입출력패드(IOPAD1)가 주변영역에 배열된 종래의 반도체 메모리장치에 있어서, 임의의 메모리뱅크, 예를 들면 제1메모리뱅크(BA11)내의 임의 하나의 메모리셀(CE1)의 데이터를 리드 또는 라이트할 때의 데이터 경로를 보면 다음과 같다.

<16> 데이터를 리드하는 경우, 콘트롤패드(CPAD1)로부터 제1메모리뱅크(BA11)의 메모리셀(CE1)로 데이터 리드에 관한 신호가 제1경로(DP11)를 통해 인가되면, 상기 메모리셀(CE1)로부터 독출된 데이터가 제2경로(DP12)를 통해 입출력패드(IOPAD1)로 제공된다.

<17> 한편, 데이터를 라이트하는 경우, 콘트롤패드(CPAD1)로부터 제1메모리뱅크(BA11)의 메모리셀(CE1)로 데이터 라이트에 관한 신호가 제1경로(DP11)를 통해 인가되면, 기입될 데이터는 입출력패드(IOPAD1)로부터 제2경로(DP12)를 통해 상기 메모리셀(CE1)로 제공된다.

<18> 종래의 콘트롤패드(CPAD)와 입출력패드(IOPAD)가 주변영역에 일렬로 배열된 반도체 메모리장치에 있어서, 콘트롤패드(CPAD)와 입출력패드(IOPAD)가 메모리칩(10)내의 다수의 메모리뱅크(BA11-BA14)가 모두 공유하도록 주변영역에 일렬로 배열되어 있기 때문에, 상기한 바와같이 데이터를 리드/라이트할 때의 데이터패스의 길이는 제1경로와 제2경로의 합이 되어 그의 길이가 길어지는 문제점이 있었다.

<19> 또한, 상기한 바와같은 패드배열구조를 갖는 반도체 메모리장치는 메모리용량이 증가하고 칩사이즈가 증가함에 따라 콘트롤패드(CPAD1)로부터 메모리셀을 거쳐

입출력패드(IOPAD1)로 돌아나오는 칩내부의 데이터패스의 길이를 증가시키는 요인이 되었다.

<20> 종래의 또 다른 반도체 메모리장치에서는, 입출력패드와 콘트롤패드가 중앙부분에 메모리뱅크가 배열된 메모리칩의 외곽부분에 배열되는 구조가 있었으나, 이러한 패드배열구조 또한 데이터패스의 길이가 길어지는 문제점이 있었다. .

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 데이터패스를 감소시킬 수 있는 반도체 메모리소자의 패드배열구조를 제공하는 데 그 목적이 있다.

<22> 본 발명의 다른 목적은 콘트롤패드와 입출력패드를 분산시켜 배치함으로써 데이터패스를 감소시킬 수 있는 반도체 메모리소자의 패드배열구조를 제공하는 데 있다.

<23> 본 발명의 다른 목적은 각 메모리뱅크내의 임의 위치에 배열된 메모리셀로부터 데이터를 리드/라이트하는 데이터패스의 길이가 거의 유사한 반도체 메모리소자의 패드배열구조를 제공하는 데 있다.

<24> 본 발명의 다른 목적은 각 메모리뱅크를 다수의 뱅크영역으로 분할하고, 다수의 입출력패드중 일정수의 입출력패드를 각 메모리뱅크에 할당하여, 각 메모리뱅크의 각 뱅크영역에 다수의 메모리뱅크에 해당하는 데이터를 다수의 콘트롤패드와 할당된 콘트롤패드와 할당된 일정수의 입출력패드만을 통해 리드 또는 라이트하도록 함으로써 데이터 패스를 감소시킬 수 있는 반도체 메모리장치의 패드배열구조 및 구동방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<25> 이와 같은 목적을 달성하기 위한 본 발명은 메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서, 상기 다수의 콘트롤패드와 다수의 입출력패드를 상기 메모리뱅크사이의 주변영역과 각 메모리뱅크의 외곽부에 분산배치하는 반도체 메모리소자의 패드배열구조를 제공한다.

<26> 또한, 본 발명은 메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서, 상기 콘트롤패드는 상기 메모리뱅크사이의 주변영역에 일렬로 배열되고, 상기 입출력패드는 상기 각 메모리뱅크의 외곽부에 분산배치하는 반도체 메모리소자의 패드배열구조를 제공하는 것을 특징으로 한다.

<27> 또한, 본 발명은 메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서, 상기 다수의 콘트롤패드는 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되도록 하고, 상기 다수의 입출력패드는 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배열되며, 상기 다수의 메모리뱅크에 공유되도록 하는 반도체 메모리장치의 패드배열구조를 제공하는 것을 특징으로 한다.

<28> 또한, 본 발명은 각각 다수의 뱅크영역으로 분할되어 메모리칩의 셀영역에 배열되는 다수의 메모리뱅크와; 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되는 다수의 콘트롤패드와; 상기 다수의 메모리뱅크의 외

과부에 배열되어 상기 다수의 메모리뱅크에 공유되는 다수의 입출력패드를 구비하는 반도체 메모리장치의 패드배열구조를 제공하는 것을 특징으로 한다.

<29> 또한, 메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서, 각 메모리뱅크는 메모리뱅크의 수에 대응하여 다수의 뱅크영역으로 분할되고, 다수의 뱅크영역에는 다수의 메모리뱅크에 해당하는 데이터가 각각 리드/라이트되며, 상기 다수의 콘트롤패드는 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되도록 하고, 상기 다수의 입출력패드는 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배열되며, 상기 다수의 메모리뱅크에 공유되도록 하는 반도체 메모리장치의 패드배열구조를 제공한다.

<30> 또한, 각 메모리뱅크는 메모리뱅크의 수에 대응하여 다수의 뱅크영역으로 분할되어 메모리칩의 셀영역에 배열되는 다수의 메모리뱅크와; 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되는 다수의 콘트롤레이트와; 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배열되는 다수의 입출력패드를 구비하는 반도체 메모리장치에 있어서, 상기 각 메모리뱅크의 다수의 뱅크영역에는 상기 다수의 메모리뱅크에 해당하는 데이터가 각각 다수의 입출력패드중 상기 메모리뱅크에 할당된 입출력패드 및 다수의 콘트롤패드를 통해서만 리드 또는 라이트되는 반도체 메모리장치의 구동방법을 제공하는 것을 특징으로 한다.

<31> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 일 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

<32> 도 2는 본 발명의 실시예에 따른 반도체 메모리소자에 있어서, 콘트롤패드와 입출

력패드의 배열구조를 도시한 것이다.

<33> 도 2를 참조하면, 본 발명의 실시예에 따른 반도체 메모리소자는 메모리칩(20)의 중앙부분의 셀영역에는 다수의 메모리셀을 구비한 다수의 메모리뱅크(BA21-BA24)가 배열되고, 다수의 콘트롤패드(CPAD2)와 다수의 입출력패드(IOPAD)는 서로 분산배치된다.

<34> 즉, 상기 다수의 콘트롤패드(CPAD2)와 다수의 입출력패드(IOPAD)가 메모리칩(20)의 메모리 뱅크사이의 주변영역과 메모리뱅크의 외곽부분에 각각 분산 배열되는데, 본 발명의 실시예에서는 콘트롤패드(CPAD2)는 메모리칩(20)의 인접한 메모리뱅크사이의 공간, 즉 주변영역에 일렬로 배열하고, 입출력패드(IOPAD)는 메모리칩(20)의 에지부분 즉, 메모리뱅크의 외곽부분에 배열된다.

<35> 또한, 본 발명의 반도체 메모리장치에서는, 다수의 입출력패드(IOPAD), 예를 들면 16개의 입출력패드(IOPAD11-IOPAD14, IOPAD21-IOPAD24, IOPAD31-IOPAD34, IOPAD41-IOPAD44)는 각 메모리뱅크의 외곽부분에 4개씩 분산배치되어 각 메모리뱅크(BA21-BA24)가 16개의 입출력패드(IOPAD11-IOPAD14, IOPAD21-IOPAD24, IOPAD31-IOPAD34, IOPAD41-IOPAD44)를 공유한다.

<36> 그리고, 본 발명의 실시예에서는 각 메모리뱅크(BA21-BA24)의 외곽부분에 배치된 16개의 입출력패드를 각 메모리뱅크(BA21-BA24)가 공유하도록 하기 위하여, 각 메모리뱅크(BA21-BA24)를 다수의 뱅크영역으로 분할 구성한다. 각 메모리뱅크(BA21-BA24)는 메모리칩(20)내에 배열된 메모리뱅크의 수에 대응하여 다수의 뱅크영역으로 분할되는데, 도 2에서 메모리칩(20)내에 4개의 메모리뱅크가 배열되므로 각 메모리뱅크(BA21-BA24)는 4개의 뱅크영역(B11-B14, B21-B24, B31-B34, B41-B44)으로 분할된 구조를 갖는다.

<37> 도 2를 참조하면, 각 메모리뱅크(BA21-BA24)는 4개의 뱅크영역으로 구성되어, 각 메모리뱅크의 제1뱅크영역(B11, B21, B31, B41)의 데이터가 하나의 메모리뱅크, 예를 들면 제1메모리뱅크(BA21)의 데이터를 구성하고, 제2뱅크영역(B12, B22, B32, B42)의 데이터가 하나의 메모리뱅크, 예를 들면 제2메모리뱅크(BA22)의 데이터를 구성한다. 또한, 각 메모리뱅크의 제3영역(B13, B23, B33, B43)의 데이터가 하나의 메모리뱅크, 예를 들면 제3메모리뱅크(BA23)의 데이터를 구성하고, 제4영역(B14, B24, B34, B44)의 데이터가 하나의 메모리뱅크, 예를 들면 제4메모리뱅크(BA24)의 데이터를 구성한다.

<38> 도 1에서 설명한 바와같이 종래의 반도체 메모리장치에서는 제1 내지 제4메모리뱅크(BA11-BA14)가 각각 해당하는 메모리뱅크의 데이터만을 주변영역에 일렬로 배열된 다수의 입출력패드(IOPAD)와 다수의 콘트롤패드(CPAD)를 통해 리드/라이트하도록 구성하였으나, 본 발명의 메모리장치에서는 각 메모리뱅크(BA21-BA24)의 분할된 뱅크영역(B11-B14), (B21-B24), (B31-B34), (B41-B44)에 다수의 메모리뱅크에 해당하는 데이터를 리드/라이트하도록 구성한다.

<39> 본 발명에서는 각 메모리뱅크(BA21-BA24)를 각각 4개의 뱅크영역(B11-B14), (B21-B24), (B31-B34), (B41-B44)으로 분할하고, 다수의 입출력패드, 즉 16개의 입출력패드를 각각 메모리뱅크(BA21-B24)에 각각 할당하여 외곽부에 배열함으로써 각 메모리뱅크에 해당하는 메모리뱅크의 데이터를 주변영역에 배열된 다수의 콘트롤패드와 할당된 입출력패드만을 통해 리드 또는 라이트한다.

<40> 따라서, 종래의 반도체 메모리장치는 각 메모리뱅크(B11-B14)가 모두 16개의 입출력패드(IOPAD1)를 통해 데이터를 리드 또는 라이트하였다. 반면, 본 발명의 반도체 메모리장치는 각 메모리뱅크(BA21-BA24)가 모두 4개의 뱅크영역으로 분할되고 입출력패드가

4개씩 할당 배열되어 다수의 메모리뱅크에 해당하는 데이터를 리드/라이트함으로써, 각 메모리뱅크는 외곽부분에 배열된 4개의 입출력패드만을 통해 데이터를 리드 또는 라이트 한다.

<41> 그러므로, 본 발명에서는 각 메모리뱅크는 4개의 입출력패드만을 통해 데이터를 리드/라이트하지만, 각 메모리뱅크의 제1 내지 제4뱅크영역(B11-B14), (B21-B24), (B31-B34), (B41-B44)에는 제1 내지 제4메모리뱅크(BA21-BA24)에 해당하는 뱅크 데이터가 리드/라이트되므로, 실제로 하나의 메모리뱅크에 해당하는 데이터를 리드/라이트하기 위해서는 4개의 메모리뱅크의 하나의 뱅크영역으로 데이터를 리드/라이트함으로써 16개의 입출력패드를 공유하게 되는 것이다.

<42> 즉, 제1메모리뱅크(BA21)의 경우 종래의 메모리장치에서는 16개의 입출력패드(IOPAD1)를 통해 데이터를 리드 또는 라이트하였으나, 본 발명에서는 제1메모리뱅크(BA21)는 그의 외곽부에 배치된 4개의 입출력패드(IOPAD11-IOPAD14), 제2메모리뱅크(BA22)는 그의 외곽부에 배치된 4개의 입출력패드(IOPAD21-IOPAD24), 제3메모리뱅크(BA23)는 그의 외곽부에 배치된 4개의 입출력패드(IOPAD31-IOPAD34), 제4메모리뱅크(BA24)는 그의 외곽부에 배치된 4개의 입출력패드(IOPAD41-IOPAD44)를 통해 데이터를 리드 또는 라이트하도록 한다.

<43> 따라서, 각 뱅크마다 4개의 입출력패드가 할당되지만, 각각의 메모리뱅크가 4개뱅크영역으로 분할되어 각 메모리뱅크의 데이터를 모두 저항하고 있기 때문에 임의 한 뱅크의 데이터를 리드 또는 라이트하기 위해서는 16개의 입출력패드를 통해 리드 또는 라이트를 하게 된다. 이때, 다수의 콘트롤패드(CPAD2)는 각 메모리뱅크의 리드/라이트시 공유되어 모두 사용되어진다.

<44> 예를 들어, 제1메모리뱅크에 해당하는 하나의 메모리뱅크의 데이터를 리드/라이트하는 경우에는, 입출력패드(IOPAD11-IOPAD14)를 통해 제1메모리뱅크(BA21)의 제1뱅크영역(B11)의 데이터를 리드/라이트하고, 입출력패드(IOPAD21-IOPAD24)를 통해 제2메모리뱅크(BA22)의 제1뱅크영역(B21)의 데이터를 리드/라이트하며, 입출력패드(IOPAD31-IOPAD34)를 통해 제3메모리뱅크(B23)의 제1뱅크영역(B31)의 데이터를 리드/라이트하고, 입출력패드(IOPAD41-IOPAD44)를 통해 제4메모리뱅크(BA24)의 제1뱅크영역(B41)의 데이터를 리드/라이트하게 된다.

<45> 따라서, 제1메모리뱅크(BA21)에 해당하는 데이터가 각각의 메모리뱅크(BA21-BA24)의 제1뱅크영역(B11-B41)에 분산되어 리드/라이트됨으로써 4개씩의 분할배치된 16개의 입출력패드를 통해 제1메모리뱅크(BA21)에 해당하는 데이터를 리드/라이트하게 된다. 마찬가지로, 제2메모리뱅크 내지 제4메모리뱅크(BA22-BA24)에 해당하는 데이터도 공유의 16개의 입출력패드를 통해 리드/라이트하게 된다.

<46> 상기한 바와같이 본 발명의 반도체 메모리장치는 16개의 입출력패드를 각 메모리뱅크의 외곽부에 분산배치하여 각 메모리뱅크에 4개의 입출력패드를 할당하고, 각각의 메모리뱅크를 4개의 뱅크영역으로 분할하여 하나의 메모리뱅크에 4개의 메모리뱅크에 해당하는 데이터가 모두 리드/라이트가능하도록 함으로써 데이터패스를 감소시킬 수 있다.

<47> 도 2에는 메모리칩이 4개의 메모리뱅크 및 16개의 입출력패드로 구성되고 각 메모리뱅크를 4분할하여 입출력패드가 4개씩 할당되도록 구성하였으나, 이는 수정 및 변경이 가능하다. 또한, 각 메모리뱅크를 4분할구성하여 각 메모리뱅크에 해당하는 데이터를 리드/라이트하는 방법도 수정 및 변경이 가능하다.

<48> 상기한 바와같은 콘트롤패드(CPAD2)와 입출력패드(IOPAD11-IOPAD44)가 분산배치된

본 발명의 반도체 메모리장치에 있어서, 제1메모리뱅크(BA21)의 제1뱅크영역(B11)내의 임의 하나의 메모리셀(CE2)로부터 데이터를 리드/ 또는 라이트할 때의 데이터 경로를 보면 다음과 같다.

<49> 데이터를 리드하는 경우, 콘트롤패드(CPAD2)로부터 제1메모리뱅크(BA21)의 제1뱅크 영역(B11)의 메모리셀(CE2)로 데이터 리드에 관한 신호가 제1경로(DP21)를 통해 인가되면, 상기 메모리셀(CE2)로부터 독출된 데이터가 제2경로(DP22)를 통해 입출력패드(IOPAD13)로 제공된다.

<50> 한편, 데이터를 라이트하는 경우, 콘트롤패드(CPAD2)로부터 제1메모리뱅크(BA21)의 제1뱅크영역(B11)의 메모리셀(CE2)로 데이터 라이트에 관한 신호가 제1경로(DP21)를 통해 인가되면, 기입될 데이터는 입출력패드(IOPAD13)로부터 제2경로(DP22)를 통해 상기 메모리셀(CE2)로 제공된다.

<51> 따라서, 메모리칩내부의 데이터패스는 제1경로와 제2경로의 길이에 의해 결정되므로, 도 1의 종래의 반도체 메모리장치의 데이터패스보다 상대적으로 단축됨을 알 수 있다.

<52> 그러므로, 본 발명에서와 같이 콘트롤패드와 입출력패드를 분산배치함으로써, 콘트롤패드로부터 메모리셀을 거쳐 입출력패드로 돌아나오는 칩내부의 데이터패스의 길이를 감소시킬 수 있다.

<53> 또한, 각 메모리 뱅크의 셀어레이내의 임의 위치에 배열된 메모리셀을 리드 혹은 라이트하더라도 비슷한 길이의 데이터 패스를 갖게 된다.

【발명의 효과】

<54> 상기한 바와같은 반도체 메모리소자의 콘트롤패드와 입출력패드의 배열구조에 따르면, 콘트롤패드와 입출력패드를 분산배치함으로써 데이터의 리드/라이트시의 데이터경로를 감소시킬 수 있는 효과가 있다.

<55> 또한, 콘트롤패드와 입출력패드가 분산배치된 반도체 메모리장치는 메모리용량이 증가하고 칩사이즈가 증가함에 따라 칩내부의 데이터패스의 길이가 증가하는 문제점을 해결할 수 있다.

<56> 또한, 본 발명의 패드배열구조는 각 메모리 뱅크의 셀어레이내의 임의 위치에 배열된 메모리셀을 리드 혹은 라이트하는 데이터패스의 길이가 유사하므로, 메모리용량이 증가하고 사이즈가 증가하는 반도체 메모리장치에 있어서의 데이터 패스길이의 감소에 효과적이다.

<57> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서,

상기 다수의 콘트롤패드와 다수의 입출력패드를 상기 메모리뱅크사이의 주변영역과 각 메모리뱅크의 외곽부에 분산배치하는 것을 특징으로 하는 반도체 메모리소자의 패드 배열구조.

【청구항 2】

제 1 항에 있어서, 상기 다수의 콘트롤패드는 상기 메모리칩의 주변영역에 일렬로 배열되는 것을 특징으로 하는 반도체 메모리소자의 패드배열구조.

【청구항 3】

제 1 항에 있어서, 상기 다수의 입출력패드는 상기 메모리뱅크의 외곽부에 배열되는 것을 특징으로 하는 반도체 메모리소자의 패드배열구조.

【청구항 4】

메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서,

상기 콘트롤패드는 상기 메모리뱅크사이의 주변영역에 일렬로 배열되고, 상기 입출

력패드는 상기 각 메모리뱅크의 외곽부에 분산배치하는 것을 특징으로 하는 반도체 메모리소자의 패드배열구조.

【청구항 5】

메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서,

상기 다수의 콘트롤패드는 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되도록 하고, 상기 다수의 입출력패드는 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배열되며, 상기 다수의 메모리뱅크에 공유되도록 하는 것을 특징으로 하는 반도체 메모리장치의 패드배열구조.

【청구항 6】

각각 다수의 뱅크영역으로 분할되어 메모리칩의 셀영역에 배열되는 다수의 메모리뱅크와;

상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되는 다수의 콘트롤패드와;

상기 다수의 메모리뱅크의 외곽부에 배열되어 상기 다수의 메모리뱅크에 공유되는 다수의 입출력패드를 구비하는 것을 특징으로 하는 반도체 메모리장치의 패드배열구조.

【청구항 7】

제 6 항에 있어서, 각 메모리뱅크는 메모리뱅크의 수에 대응하여 다수의 뱅크영역

으로 분할되고, 다수의 뱅크영역에는 다수의 메모리뱅크에 해당하는 데이터가 각각 리드/라이트되는 것을 특징으로 하는 반도체 메모리장치의 패드배열구조.

【청구항 8】

제 7 항에 있어서, 상기 다수의 입출력패드는 상기 각 메모리뱅크의 외곽부에 일정 수만큼 할당되어 배열되며, 각 메모리뱅크의 다수의 뱅크영역에는 상기 각 메모리뱅크의 외곽부에 할당된 입출력패드를 통해서만 다수의 메모리뱅크에 해당하는 데이터가 리드 또는 라이트되는 것을 특징으로 하는 반도체 메모리장치의 패드배열구조.

【청구항 9】

제 8 항에 있어서, 각 메모리뱅크의 다수의 뱅크영역에는 상기 다수의 콘트롤패드를 통해서 다수의 메모리뱅크에 해당하는 데이터가 리드 또는 라이트되는 것을 특징으로 하는 반도체 메모리장치의 패드배열구조.

【청구항 10】

메모리칩의 셀영역에 배열된 다수의 메모리뱅크와, 상기 메모리뱅크의 데이터를 리드/라이트하기 위한 다수의 콘트롤패드 및 다수의 입출력패드를 구비한 반도체 메모리소자에 있어서,

각 메모리뱅크는 메모리뱅크의 수에 대응하여 다수의 뱅크영역으로 분할되고, 다수의 뱅크영역에는 다수의 메모리뱅크에 해당하는 데이터가 각각 리드/라이트되며, 상기 다수의 콘트롤패드는 상기 이웃하는 메모리뱅크사이의 주변영역에 일렬로 배열되어 상기 다수의 메모리뱅크에 공유되도록 하고,

상기 다수의 입출력패드는 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배

열되며, 상기 다수의 메모리뱅크에 공유되도록 하는 것을 특징으로 하는 반도체 메모리 장치의 패드배열구조.

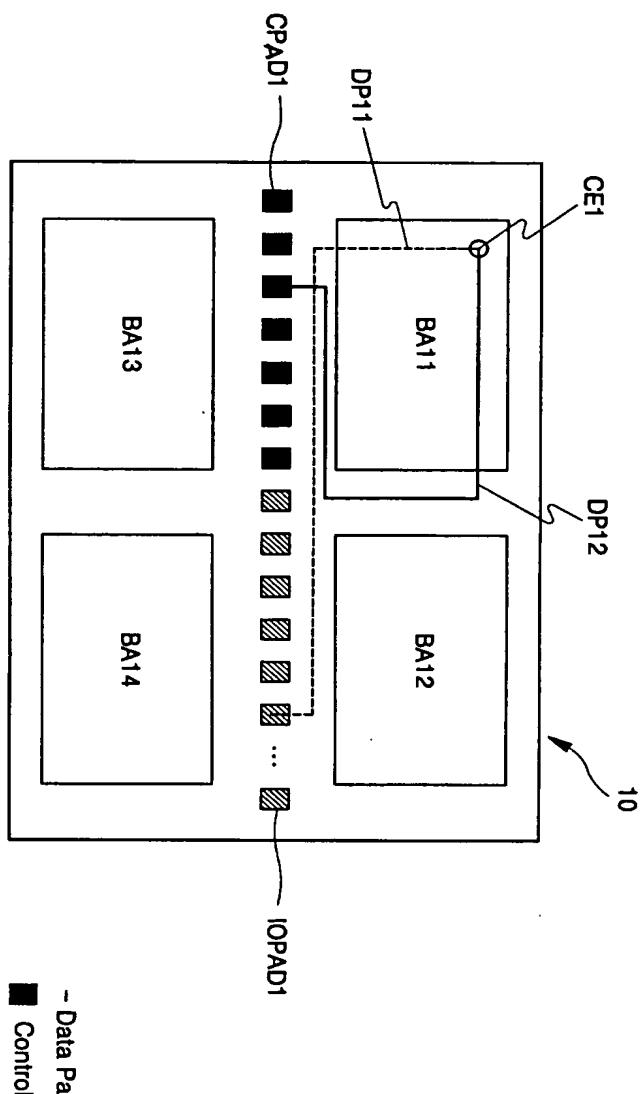
【청구항 11】

각 메모리뱅크는 메모리뱅크의 수에 대응하여 다수의 뱅크영역으로 분할되어 메모리칩의 셀영역에 배열되는 다수의 메모리뱅크와; 상기 이웃하는 메모리뱅크사이의 주변 영역에 일렬로 배열되는 다수의 콘트롤 게이트와; 각 메모리뱅크에 일정수만큼 할당되어 그의 외곽부에 배열되는 다수의 입출력패드를 구비하는 반도체 메모리장치에 있어서,

상기 각 메모리뱅크의 다수의 뱅크영역에는 상기 다수의 메모리뱅크에 해당하는 데 이터가 각각 다수의 입출력패드중 상기 메모리뱅크에 할당된 입출력패드 및 다수의 콘트롤패드를 통해서만 리드 또는 라이트되는 것을 특징으로 하는 반도체 메모리장치의 구동 방법.

【도면】

【도 1】



- Data Path
- Control Pad
- ▨ I/O Pad

【H 2】

